Министерство образования и науки Российской Федерации

Севастопольский государственный университет

Кафедра ИС

Отчет

По дисциплине: “Технические средства информационных систем”

Лабораторная работа №2

“ Исследование архитектуры универсального

8-разрядного микропроцессора”

Выполнил:

ст.гр. ИС/б-32

Волобуев Ю.С.

Проверил:

Дрозин А.Ю.

Севастополь

2019

1 ЦЕЛЬ РАБОТЫ

Исследовать архитектуру и основные блоки 8-разрядного процессора. Исследовать взаимодействие основных блоков процессора при выполнении команд разных типов. Приобрести навыки написания и отладки ассемблерных программ в эмуляторе KP580 Emulator.

2 ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1-2. Изучить архитектуру и основные команды МП КР580ВМ80.

3. Задавая различные команды (запись в регистр и в пару регистров, пересылки данных, суммирования при наличии переноса, чтения и записи в память, записи в стек, обращения к памяти путем косвенной адресации и др.) исследовать наличие и вид сигналов и данных на шинах процессора, содержимое регистров, значение флагов и взаимодействие блоков МП КР580ВМ80 в ходе выполнения команд.

3 ХОД РАБОТЫ

На рисунке 1 представлено состояние эмулятора на начальном этапе работы. Все регистры сброшены, а в ОЗУ заполнены команды.

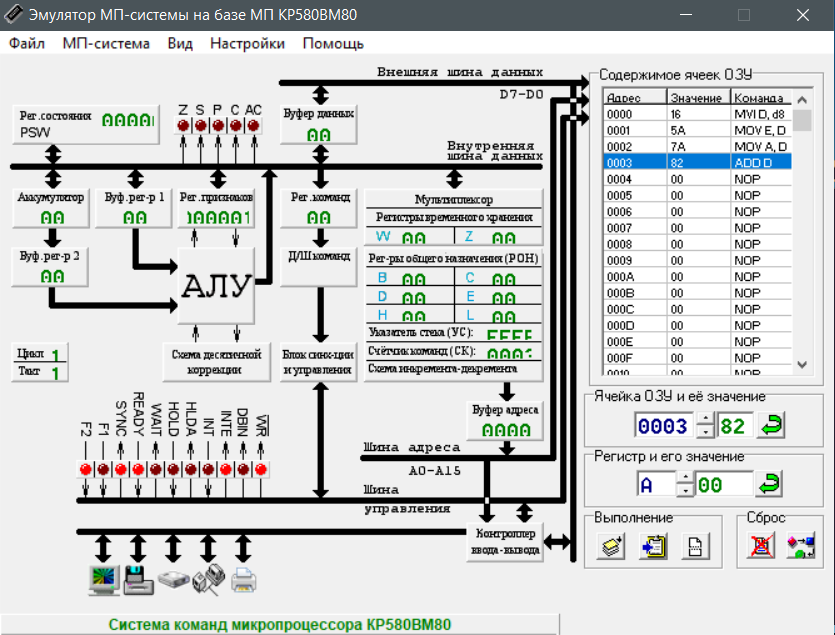
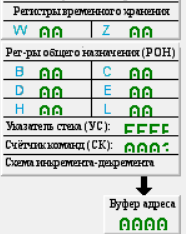


Рисунок 1 – Программа с заполненным ОЗУ

Рассмотрим каждую команду:

1) Адрес: 0000. Первая команда записывает в регистр D значение «5A».

Цикл 1, Такт 1:

Перед выполнением очередной команды МП содержит ее адрес в программном счетчике – 0000.

Цикл 1, Такт 2:

Далее МП указывает тип выполняемого цикла с помощью 8-разрядного слова состояния цикла, выдаваемого на шины данных, и записывает его в регистр состояния.

Существует 10 различных типов циклов: 1) извлечение кода команды; 2) чтение данных из памяти; 3) запись данных в память; 4) извлечение из стека; 5) запись данных в стек; 6) ввод данных из внешних устройств; 7) запись данных во внешние устройства; 8) цикл обслуживания прерывания; 9) останов; 10) обслуживание прерывания при работе МП в режиме “Останов”.

Цикл 1, Такт 3:

В 3 такте производится запись кода команды во внутренний регистр кода команды.

На основании декодирования команды ДШК определяет количество байтов в команде, формирует команды на внутренние пересылки данных и подготавливает МП к выполнению следующих машинных циклов

Цикл 1, Такт 4:

На следующем такте происходит увеличение хранимого адреса на 1.

Цикл 2, Такт 5:

Буфер адреса заполняется адресом текущей команды.

Цикл 2, Такт 6:

На новом цикле МП снова указывает тип выполняемого цикла и записывает его в регистр состояния. Далее происходит запись в регистр D значения “5А”.

Цикл 2, Такт 7:

Цикл заканчивается увеличением счетчика команд и переходом к реализации МП следующей команды.

2) Адрес: 0002. Следующая команда записывает в аккумулятор А значение, хранящееся в регистре D.

Цикл 1. Такты 1-3 аналогичны 1-1, 1-2, 1-3 тактам при выполнении первой команды.

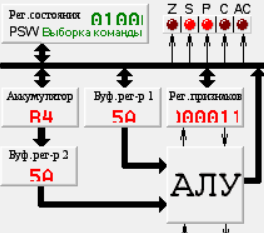
Цикл 1. Такт 4:

На данном такте происходит реализация команды (запись в аккумулятор значения “5А”).

Цикл 1. На 5 такте содержимое программного счетчика увеличивается на 1 и теперь программный счетчик содержит адрес следующей команды программы.

3) Адрес: 0003. Команда сложения содержимого аккумулятора и регистра D. Команда ADD D - однобайтовая и имеет код операции 82

Цикл 1. Такт 4:



После декодирования команды устройство управления вырабатывает предписанную командой последовательность управляющих сигналов, приводящую к следующим действиям:

* содержимое аккумулятора копируется в БР2;
* содержимое регистра D копируется БР1;
* производится суммирование БР1+БР2 и результат сложения помещается в аккумулятор А;
* в зависимости от результата операции модифицируется содержимое регистра флагов.

ВЫВОДЫ

В ходе выполнения лабораторной работы была исследована архитектура 8-разрядного процессора. Исследовано взаимодействие основных блоков процессора при выполнении команд разных типов. Были приобретены практические навыки написания и отладки ассемблерных программ в эмуляторе KP580 Emulator.